

# 基于 ADSP-BF537 的视频 SoC 验证方案设计

李阳 1, 刘政林 1, 汤加跃 2, 邹雪城 1

(1. 华中科技大学电子科学与技术系, 湖北武汉 430074; 2. 深圳艾科创新微电子有限公司, 广东深圳 518057)

关键词: SoC, 数字系统, 处理器, ADSP-BF537, IP, 视频

随着硅片集成技术的高速发展, 片上系统 SoC(system-on-a-Chip)已经成为现代数字系统设计的必然趋势。SoC 和一般数字系统最主要的区别是前者在单一硅片内集成了独立的嵌入式 CPU, 必要的存储器控制器也要求集成到 SoC 芯片内, 所以对 SoC 系统的软硬件协实时验证便成为 SoC 设计的难点。基于 IP 的可重用设计方法已经成为数字系统设计工程师普遍采用的系统设计方法。于是, 设计者采用第三方 IP 或自行设计的软核或两者的组合来搭建符合要求的系统。对于一个 SoC 系统, 嵌入式 CPU 的选择至关重要。第三方提供 CPU 的方式有软核和固核, 如果在设计过程中仅被授权采用第三方优化的固核(版图级), 则前端 FPGA 实时验证问题自然凸现出来。解决的办法是选择相应 CPU 的验证开发板或者采用其他处理器。本文介绍一种利用嵌入 Blackfin 处理器的 ADSP-BF537 作为处理器进行 SoC 的 FPGA 实时验证的方案及其总线接口转换模块的设计。SoC 系统验证平台结构框图如图 1 所示。

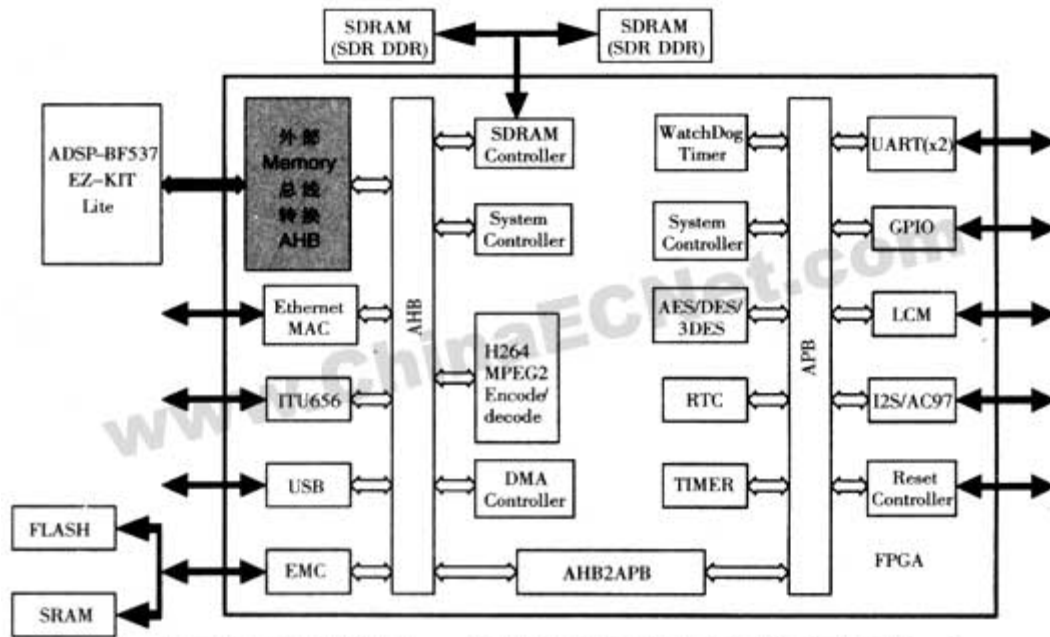


图 1 利用 ADSP 外部 Memory 总线进行视频 SoC 的 FPGA 验证结构框图

## 1 ADSP 简介

ADSP 是 ADI(Analog Device Inc. )公司推出的一系列高性能低功耗 DSP 芯片, 而基于 Blackfin 处理器的 ADSP-BF533 一经推出便被很多国家的设计人员立即采用, 后续系列产品 ADSP-BF5xx 也被更多的系统设计厂家应用到各自的产品中。正是因为 ADSP-BF5xx 系列芯片是以功能强大性能卓越的 Blackfin 处理器为内核而推出的高效 DSP 芯片, 使得人们可以采用 ADSP-BF5xx 系列芯片作为处理器进行视频 SoC 的 FPGA 实时验证。Blackfin 处理器集成了一个由 ADI 公司和 Intel 公司联合开发的基于 MSA(Micro Signal Architecture)的 16 / 32 位嵌入式处理器, 支持 32 位 RISC 指令集, 采用 10 级流水线, 集成了两个 16 位乘法加速器, 内核主频最高可以达到 600MHz[1]。

## 2 ADSP 外部 Memory 总线介绍

ADSP 外部 Memory 总线可以进行同步或异步操作, 前者是通过时钟输出端 CLKOUT 进行同步的。本文所采用的 ADSP-BF537

Ez-kit Lite 开发套件的外部 Memory 总线的可用地址仅为 19 位(ADDR[19: 1]), 并且采用 AMS[3: 0]选中相应的外部区域。  
ADSP-BF537 的四个选通信号线对应的外部 Memory 地址范围如表 1 所示[2]。可以看出, 直接利用 ADSP 外部 Memory 总线操作的地址空间只有 4MB 容量, 显然不能满足 SoC 的选址需求, 必须进行接口总线的转换来提高寻址范围。

表 1 ADSP-BF537 外部 Memory 地址范围

选通信号	始地址	末地址
AMS[0]	0x2000 0000	0x200F FFFF
AMS[1]	0x2010 0000	0x201F FFFF
AMS[2]	0x2020 0000	0x202F FFFF
AMS[3]	0x2030 0000	0x203F FFFF

ADSP-BF537 外部 Memory 读写时序波形如图 2 所示, 其中的 ARDY 信号是由外设产生的。ADSP 通过设置 EBIU\_AMBCTLx 寄存器, 允许传输过程中使用 ARDY 握手信号, 用来增强系统运行的准确度。ARDY 信号的有效电平是可以设置的。  
EBIU\_AMBCTLx 寄存器还可以改变 ADSP 对外读写操作的时序, 包括数据建立时间、读写通路时间以及数据保持时间。例如, 图 2 所示的写操作建立时间、通路时间和保持时间分别是 2 个周期、2 个周期和 1 个周期。如果使能 ARDY 信号, 并设置为高电平有效, 则在设定的读写时间内, ARDY 为低电平表示外设不能写入或者读出数据, 需要 ADSP 继续保持相应的读写等待状态, 直到 ARDY 信号被拉为高电平; 只有当 ADSP 检测到 ARDY 为高电平时, 才能将 DATA 数据作为有效数据。上述过程如图 2 中的读操作, ARDY 信号被拉低了一个周期。

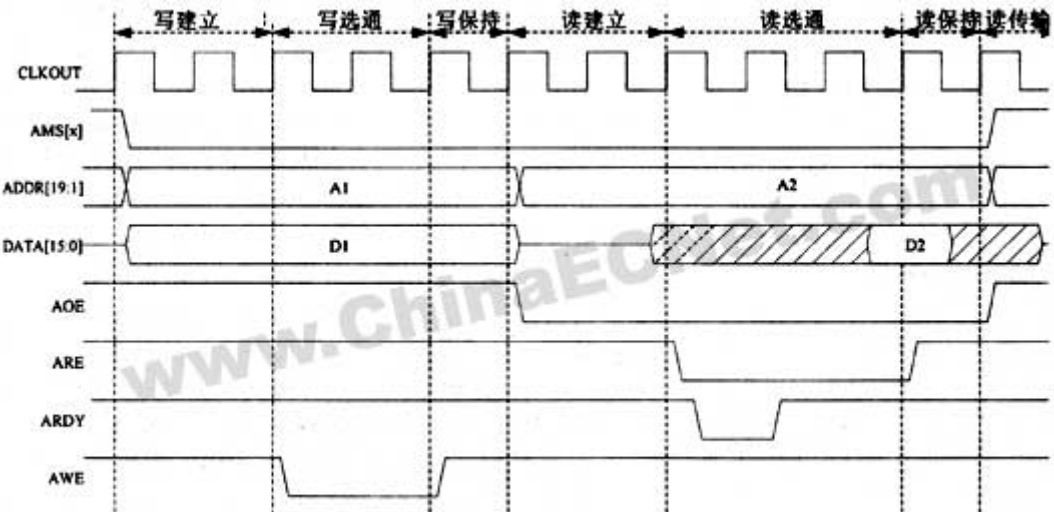


图 2 ADSP-BF537 外部 Memory 读写时序波形

ADSP-BF537 的外部 Memory 地址总线位宽是 ADDR[19: 1], 这样可以使 ADSP 灵活地对 16 / 32 位数据进行地址选址。例如, 如果对连续地址进行 16 位数据的读写操作, ADDR[19: 1]只需依次加 1, 而 ADSP 软件开发工具中相应的内部变量数据类型定义为 short 即可[3]; 类似地, 如果要读写的数据类型为 int(32 位)数据, 则每次访问外部地址时, ADSP 会连续产生两次读写操作, 并且地址总线 ADDR[19: 1]是连续的。

3 AHB 总线介绍

AHB(Advanced High-performance Bus)是 AMBA 总线中用途最为广泛的一种高速总线, 因其协议简单、可综合性强、支持主频高、功耗低, 已经被很多 SoC 芯片作为内部高速系统总线。大多数第三方 IP 厂商提供的功能模块的接口都支持 AMBA 总线协议。AHB 基本传输时序如图 3 所示[4]。

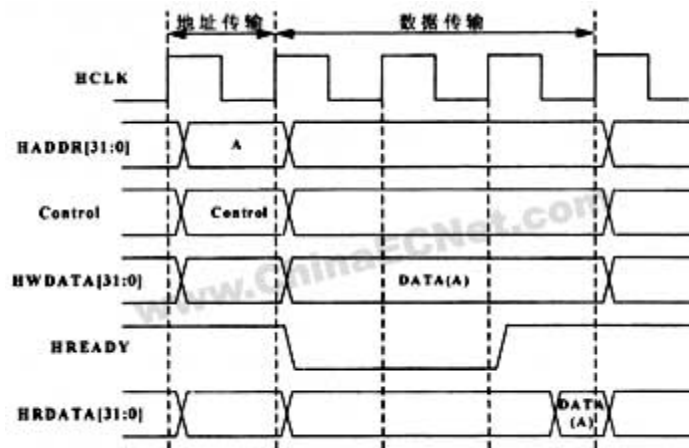


图 3 AHB 读写传输时序

#### 4 消除信号的亚稳态现象

在本次视频 SoC 的 FPGA 验证方案中，采用 ADSP 的外部 Memory 总线，FPGA 既可以利用同步时钟输出 CLKOUT 进行同步设计，也可以采用异步总线读写。如果不使用 CLKOUT 而采用异步设计，则在总线转换接口模块设计中，首先需要保证消除读写信号亚稳态现象。ADSP 内核主频可以达到 600MHz，外部 Memory 总线的采样时钟(CLKOUT)动态调整范围也很大，因此对异步输入信号可以采用增加同步触发器进行锁存延时的方法来消除亚稳态[5]。具体实现方法是在异步输入信号的前端加 2-3 级同步触发器。FPGA 验证证明：当 CLKOUT 频率为 50MHz，FPGA 系统主频为 25MHz 时，3 级同步锁存完全可以消除亚稳态，从而保证 ADSP 在外部 Memory 总线上正确进行数据传输。

#### 5 总线转换状态机设计

目前，大多数采用 AMBA 总线的 SoC 系统内部的总线位宽是 32 位，多数嵌入式 CPU 和第三方 IP 核总线位宽也均为 32 位，因为 32 位地址总线 and 数据总线已经可以满足绝大多数 SoC 系统的存储器映射寄存器的地址分配和数据交换以及外部 SDRAM 和 FLASH 的寻址需求。ADSP-BF537 的外部 Memory 数据总线是 16 位，并且地址总线只有 19 位，因此必须通过增加必要的状态来解决总线位宽的不匹配问题。

为了实现 ADSP 对外进行 32 位的地址操作和数据操作，可以利用 Blackfin 处理器分两次进行读写操作。写操作分两次进行，第一次写，先传输地址和数据的高 16 位，第二次写才将 32 位的地址和数据信号传输到 AHB 总线上；进行读操作时，需要 AHB 产生两次读动作，这样才能使有效的 32 位数据被 Blackfin 处理器正确接收。第一次读到有效的 32 位数据后传输高位，第二次读到后传输低位，并且每次读操作都需要 Blackfin 发出两次读动作，以便组合出 AHB 的 32 位地址。这样就可以突破 ADSP-BF537 对外只能进行 4MB 空间存取的限制。以上描述过程的状态机转换图如图 4 所示。

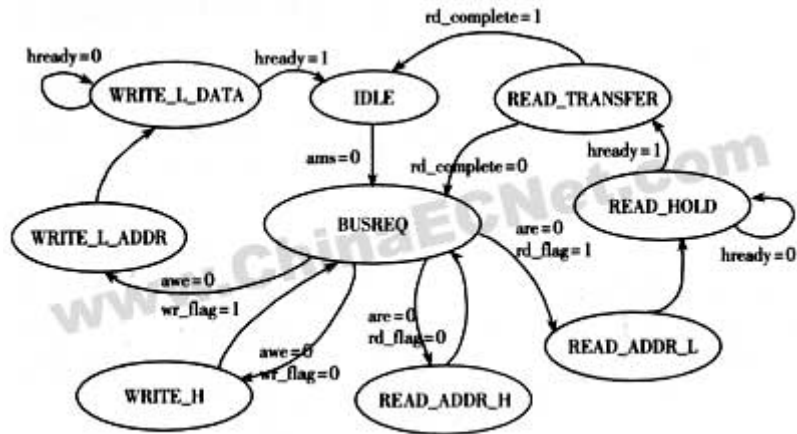


图 4 ADSP 外部 Memory 总线与 AHB 总线转换状态机

利用 ADSP 作为 SoC 系统处理器进行 SoC 验证时，ADSP 进行的主要操作是读写系统内部各个功能模块的 Memory 映射控制寄存器，并且通过 SDRAM 控制器对 SoC 系统的外部 SDRAM 进行数据交换操作。因此总线转换状态机分成读传输和写传输两大部分。

当 ADSP 需要进行外部 Memory 总线传输时，首先会把相应的 ams 信号拉低，这时总线转换状态机应该使 AHB 进入 BUSREQ 状态，要求仲裁器释放 AHB 总线给 CPU(ADSP)。

对于一个写操作，需定义一个 wr\_flag 标志位来确定是否产生 AHB 写动作。ams 信号拉低后，经过可配置的写建立时间后，写控制信号 awe 被拉低，初始化的 wr\_flag 为 0，表明 ADSP 进行的是第一次写操作。进入的 WRITE\_H 状态用来锁存写地址和写数据的高 16 位，同时会把 wr\_flag 置为 1，但并不向 AHB 总线发出写命令。一个周期后重新进入 BUSREQ 状态，等待 ADSP 下一个写命令。ADSP 发出第二次写命令后，状态机检测到 awe=0 和 wr\_flag=1 后进入 WRITE\_L\_ADDR 状态，表明需要向 AHB 发出写命令，包括 hwrite、haddr、htrans、hsize 等 AHB 控制信号。haddr 是两次写操作地址(16 位)组合而成的 32 位地址，htrans=2 和 hsize=2，表明是非连续传输，传输数据位宽是 32 位。下一个周期，状态进入 WRITE\_L\_DATA，两次写操作数据也相应组合成 32 位。如果 AHB slave 的 hready 为高，则 32 位数据释放到 AHB 总线上，同时复位 AHB 控制信号，下一个周期返回 IDLE 状态；如果 hready 为低，则继续保持 WRITE\_L\_DATA 状态，直到 AHB slave 把 hready 拉高有效。如果等待时间过长，可以增加一个计数器使状态机在一定时间后自动返回 IDLE 状态，并标记相应的 error 状态寄存器。例如，需要通过 ADSP 向 haddr[31: 0]=0x1234\_5678 地址内写入 hwd[31: 0]=0xaabb\_ccdd，则测试平台(采用 vmt slave)模拟 ADSP 对外进行两次写操作，第一次向 addr[18: 0]=0x1234 内写 0xaabb，第二次向 addr[18: 0]=0x5678 内写 0xccdd，如图 5 所示。第二次写操作后正确产生 AHB 写操作。

同样，对于一个读操作，状态机也需要两次对 AHB 发出读动作，把读到的 slave 数据分高低位两次传输给 ADSP，不同的是，为了保证 AHB 读地址是 32 位，而不仅仅是 ADSP 外部 Memory 地址总线的 19 位，每次 AHB 的读命令，需要 ADSP 两次读动作，第一次读用来传输高位地址，第二次读才能把完整的 32 位地址传送到 AHB 上，使 AHB 产生读操作。上述过程的状态依次是图 4 中的 READ\_ADDR\_H、READ\_ADDR\_L、READ\_HOLD、READ\_TRANSFER。标志位 rd\_complete 用来区分 AHB 的两次读动作，为 0 时在 READ\_TRANSFER 状态传输读取数据的高 16 位，被 ADSP 读取，下一个周期后进入 BUSREQ 状态等待下一个读命令；为 1 时在 READ\_TRANSFER 状态传输读取数据的低 16 位，并返回 IDLE 状态。例如需要读取上述已经被写入地址 haddr[31: 0]=0x1235\_5678 的值时，第一次 ADSP 发出读 addr[18: 0]=0x1234，第二次发出读 addr[18:0]=0x5678，这时 ADSP 的 data 只传输高位数据 0xaabb，ADSP 再发两次相同的读命令后，data 才传输低位数据 0xccdd。对应的读操作的仿真波形如图 6 所示。

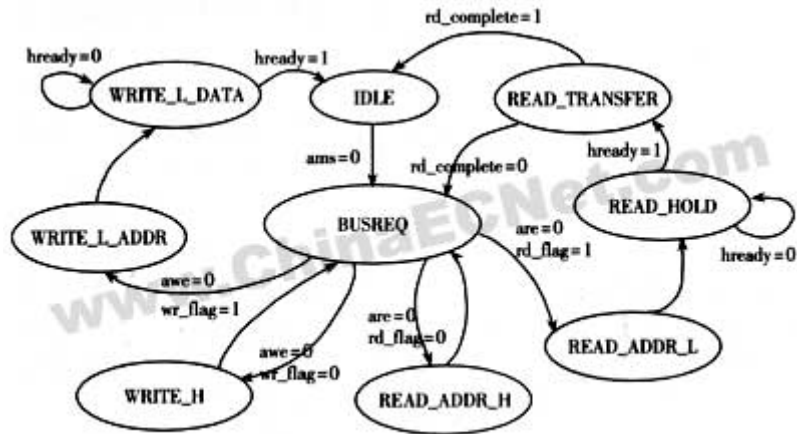


图 4 ADSP 外部 Memory 总线与 AHB 总线转换状态机

如前所述，ADSP 外部 Memory 总线在对外读写时可以通过 EBIU\_AMBCTIX 寄存器来选择是否选握手信号 ARDY。为了提高传输的可靠性和准确度，在设计转换模块时需要考虑 ARDY，如图 5、图 6 中的读写操作时序图所示，在每一次数据传输完成的最后一个状态，需要将 ARDY 信号置 1，然后在下一个 IDLE 或 BUSREQ 状态将 ARDY 清 0，这样可以保证 ADSP 能正确读到 ADSP 外部 Memory 数据总线上的有效数据，防止因 ADSP 对外读写时序设置不合理而造成系统不能正常运行。

## 6 FPGA 实现

本模块的设计是用于 FPGA 验证用途的，对于大型视频 SoC 系统的 FPGA 实时验证，往往需要采用大容量的 FPGA，因此本设计采用 Altera Stratix II EP2S60 器件进行 FPGA 验证。采用 Quartus 综合和布局布线后，一共需要 140 个 ALUT 和 131 个寄存器，最快时钟可以达到 300MHz。因为 ADSP 可以设置外部 Memory 总线的读写时序，所以对外访问的速率不是惟一的。为了实现 16 位到 32 位的转换虽然增加了读写的次数，但因为 ADSP 外部 Memory 同步时钟频率调整范围很大，因此本设计完全可以满足 IP 核功能验证对频率的要求，对于视频 SoC 内部基本 AHB 总线和 APB 总线上的功能模块都能正确实时验证。基于 ADSP-BF537 内部嵌入的 Blackfin 处理器及其 DSP 接口，已经利用本接口模块成功地验证了 AHB 总线上的 H264 和 MPEG 1-2 的 encode 与 decode 加速器、Ethernet MAC 控制器、SDRAM 控制器以及 APB 总线上的 UART、TIMER、AC97、GPIO 和 LCD 控制器等低速外设。

随着验证环节在 SoC 产品开发过程中所占时间和开销的迅速增加，Altera 和 Xilinx 在其大容量 FPGA 芯片产品中，都集成了特定类型的 CPU 作为系统处理器，但它们都受到特定 FPGA 器件的限制[6]。因此利用 ADSP 内嵌的强大 Blackfin 处理器和丰富的 DSP 外设，可以有效地提高验证的效率和功能的完整性。本文的总线接口模块的设计对具有不同读写时序的验证板的正常工作起着重要的作用，SoC 原型的搭建必然要求本模块能真实反映实际 AHB 总线的动作，这样对于保证各个功能模块的完整性和实时工作将起很大的作用。



图 5 ADSP 外部 Memory 总线转 AHB 模块写操作时序图

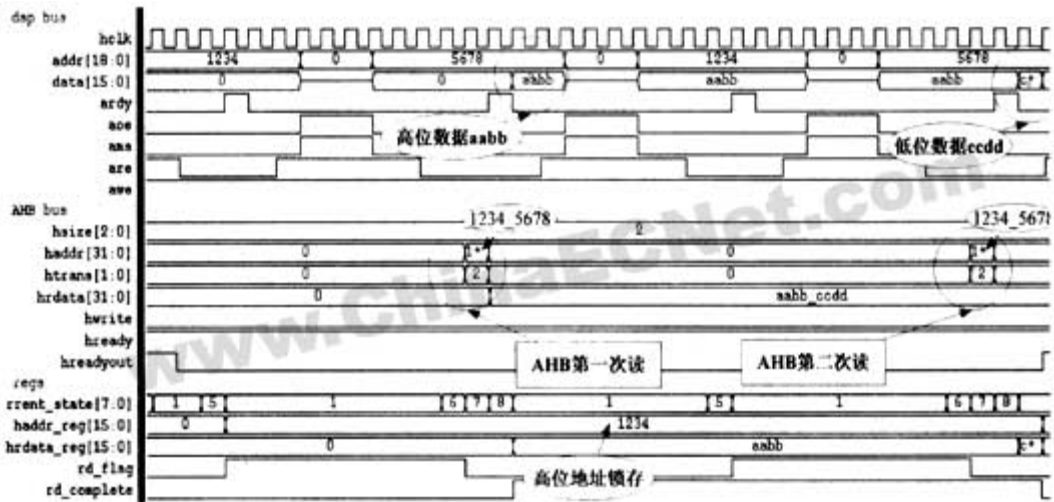


图 6 ADSP 外部 Memory 总线转 AHB 模块读操作时序图

来源:《电子报》